

⑯ 日本国特許庁 (JP)      ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A)      昭57-157348

⑩ Int. Cl. <sup>3</sup> G 06 F 5/04 G 11 B 5/09 H 03 K 13/256	識別記号 7218-5B 7345-5D 7530-5J	庁内整理番号 7218-5B 7345-5D 7530-5J	⑬ 公開 昭和57年(1982)9月28日 発明の数 2 審査請求 有
--	---------------------------------------	---	---

(全12頁)

④ 直列・並列変換器

② 特 願 昭57-31842  
 ② 出 願 昭57(1982)3月2日  
 優先権主張 ③ 1981年3月5日 ③ 米国(US)  
 ③ 240632  
 ⑦ 発明者 ゴードン・デイトレブ・スペイサン  
 アメリカ合衆国カリフォルニア

州ベルモント・トールブライン  
 ディー・アール1360  
 ⑦ 出願人 アムペックス・コーポレーション  
 アメリカ合衆国カリフォルニア  
 州レッドウッド市ブロードウェイ401番地  
 ⑦ 代理 人 弁理士 飯田伸行

明細書

1. 発明の名称

直列・並列変換器

2. 特許請求の範囲

1. それぞれ直列クロックパルス、該直列クロックパルスと同期した直列データビット、および直列入力ワードを形成する既知の数の一連の直列データビットと同期した直列ワード同期パルスを受信する直列・並列変換器において、該変換器は、

(a) 前記直列ワード同期パルスを受信し、整数の直列ワード同期パルスに応じてこれと同期して並列クロックパルスを発生する手段と、

(b) 前記直列クロックパルスを受信する入力、および各受信した直列クロックパルスごとに各計数値を同期して発生する出力を有し、前記並列クロックパルスでリセットされるように結合されたカウンタ手段と、

(c) 該カウンタ手段が発生した前記計数値を受信する入力、および各計数値に応じてこれと

同期してそれぞれ別な出力信号を発生するよう結合された複数の別々な出力を有するデコーダ手段と、

(d) それぞれ別々なデータ入力付勢端子が前記デコーダ手段の1つの別々な出力に結合され、それぞれ別々なデータ出力端子を有する複数の出力蓄積手段とを含み、該複数の出力蓄積手段は、前記直列データビットを同時に受信する相互接続されたデータ入力端子、および前記並列クロックパルスをそれぞれ同時に受信する相互接続されたデータ出力付勢端子を有し、該出力蓄積手段はそれぞれ前記デコーダ手段からの特定の別々な出力信号と一致してこれによつて受信された1つの特定の直列データビットを蓄積するよう結合され、前記複数の出力蓄積手段は、前記並列クロックパルスを受信するとこれに同期して並列出力ワードの形で前記別々な出力に前記蓄積されたデータビットを同時に与えるよう結合されていることを特徴とする直列・並列変換器。

(1)

(2)

特開昭57-157348(2)

2 特許請求の範囲第1項記載の変換器において、前記並列クロックバルスを発生する手段は同期分周手段を含むことを特徴とする変換器。

3 特許請求の範囲第2項記載の変換器において、前記並列クロックバルスを発生する手段はさらに、前記同期分周手段に結合されその分周比を前記整数の直列ワード同期バルスに対応するように調整する並列語長選択手段を含むことを特徴とする変換器。

4 特許請求の範囲第3項記載の変換器において、前記並列語長選択手段は調整可能なスイッチであることを特徴とする変換器。

5 特許請求の範囲第1項記載の変換器において、前記複数の出力蓄積手段はそれぞれ複数の第1および第2の出力ラッチを含み、第1の出力ラッチはそれぞれ前記蓄積手段の前記別々のデータ入力付勢端子に対応するクロック入力端子、前記第2の出力ラッチのデータ入力端子に結合されたデータ出力端子をそれぞれ有し、第1の出力ラッチは前記出力蓄積手段の端子に対

(3)

ヒットと同期した直列ワード同期バルスを受信する直列・並列変換器において、該変換器は、

(a) 前記直列ワード同期バルスを受信し、整数の前記直列ワード同期バルスと同期して並列クロックバルスを発生するように結合された同期分周手段と、

(b) 該直列クロックバルスを受信し、これと同期して各計数値を発生し、前記並列クロックバルスを受信するように結合されたリセット端子を有する2進カウンタ手段と、

(c) 入力が前記計数値を受信するように結合され、多数の別々の出力がそれぞれ各計数値に応じて別々な出力信号を発生するように結合されたデコーダ手段と、

(d) それぞれ多数の第1および第2の出力ラッチとを含み、第1の出力ラッチはそれぞれ前記デコーダ手段の1つの別々の出力に結合された別々なデータ入力付勢端子、別々なデータ出力端子、および前記直列データビットを同時に受信するように相互接続されたデータ入力端子

(5)

特開昭57-157348(2)

応するように接続された各データ入力端子を有し、それぞれ第2のラッチは前記出力蓄積手段の端子に対応する別々なデータ出力端子を有し、かつ前記出力蓄積手段の前記データ出力付勢端子に対応する相互接続されたクロック入力端子を有することを特徴とする変換器。

6 特許請求の範囲第5項記載の変換器において、第1および第2の出力ラッチの数はそれぞれ前記並列出力ワードを形成する前記蓄積されたデータビットの数に対応することを特徴とする変換器。

7 特許請求の範囲第6項記載の変換器において、第1の出力ラッチはJ-K型フリップフロップを含み、第2の出力ラッチはそれぞれD型フリップフロップを含むことを特徴とする変換器。

8 それぞれ直列クロックバルス、該直列クロックバルスに同期した直列データビット、および直列入力ワードを形成する既知の数の一連の直列データビットのそれぞれ第1の直列データ

(4)

を有し、前記第2の出力ラッチはそれぞれ、1つの第1の出力ラッチのデータ出力端子に結合された別々のデータ入力端子、別々なデータ出力端子、およびそれぞれ前記並列クロックバルスを同時に受信するように相互接続されたデータ出力付勢端子を有し、第1の出力ラッチはそれぞれ前記デコーダ手段から対応する別々の出力信号に同期して受信した1つの特定の直列データビットを蓄積するように結合され、第2の出力ラッチはそれ、前記並列クロックバルスを受信すると前記蓄積された1つのデータビットをそのデータ出力端子に与えるように結合されていることを特徴とする直列・並列変換器。

9 特許請求の範囲第8項記載の変換器において、第1の出力ラッチはJ-K型フリップフロップを含み、第2の出力ラッチはD型フリップフロップを含むことを特徴とする変換器。

10 特許請求の範囲第8項記載の変換器において、該変換器はさらに、前記同期分周手段の分周比を前記整数の直列ワード同期バルスに対応

(6)

するように調整する手段を含むことを特徴とする変換器。

11. 特許請求の範囲第10項記載の変換器において、前記分周比を調整する手段は調整可能なスイッチであることを特徴とする変換器。

### 3. 発明の詳細な説明

本発明は直列・並列変換器に関するものであり、特に、入力データビットが順次直接データ路を通して出力蓄積手段に供給され、これから並列に出力される変換器に関するものである。直列入力ワードまたは並列出力ワードの長さは変えることができ、並列出力ワードのビット位置は直列データビットを受信する順序に関して変化しない。

デジタルデータ処理システムは様々にクロック周波数で動作する回路を有することがしばしばあり、これらの回路の間のデータ転送速度を高から低、または低から高へ変換する変換器を必要とする。このような公知の装置の1つに直列・並列変換器がある。これは直列入力データ

(7)

をトレースすることが困難であり、各ビット位置はデータが並列ワードの形でクロック出力される直前に出力ラッシュに現われるまでそのビット位置がわからない。したがつてデータ検索および障害探索ができない。また、これらの従来技術の装置では直列ワード同期パルスが与えられない。直列入力ワードまたは並列出力ワードの長さが変わると、そのような変化ごとに異なる出力端子に第1のデータビットおよびそれ以降のデータビットが現われる。このような問題は動作を中断して再開したあとにも発生する。これらの従来技術の変換器は、動作中データビットの位置を知つておく必要のある応用例には適していない。

他の方式の公知の従来技術の直列・並列変換器は、到来するデータとともに同じデータ路を通して入力レジスタから順次供給される同期データ符号を有する。これらの変換器は、同期データが入力レジスタに含まれた時を検出する別な回路を必要とする。またこれらの従来技術の

(8)

タを比較的高いクロック周波数で、たとえば磁気記録再生装置などの周辺装置から受信し、非常に低いクロック周波数で並列出力データを出力する。これはたとえばデジタルコンピュータによる別な処理に必要なことがある。

従来技術の直列・並列変換器の1つの方式は入力シフトレジスタを使用し、この中に直列入力データを順次直列形式でクロック同期させて入力する。レジスタからの直列データは順次並列出力ラッシュに加えられ、並列クロック信号に応動して並列に出力される。このような従来技術の方式はたとえば、本出願人が1978年2月1日に発行したHBR-3000磁気記録装置、暫定データ、16001050、第3部、直列・並列変換と題するマニュアル、およびNo.1255592-01プロック図などに記載されている。

上に述べた従来技術の変換器の重大な欠点は、変換装置を通過すると各直列クロックパルスで入力データが1つのビット位置だけシフトすることである。その結果、動作中個々のデータビット

(9)

変換器では、直列または並列ワードの長さを簡単に変えることができない。

したがつて、本発明の目的は、並列出力ワードのビット位置が直列データビットを受信した順序について知られる直列・並列変換器を提供することである。

本発明の他の目的は、並列出力ワードの長さをたやすく変えることができる直列・並列変換器を提供することである。

本発明のさらに他の目的は、並列語長を変えたあと、または動作を中断したあとでさえも同じ出力端子に並列出力ワードの第1のデータビットが得られ、各出力端子に順番に一連のデータビットが現われる直列・並列変換器を提供することである。

本発明のさらに他の目的は、1つ以上の直列入力ワードの長さを組み合わせることによつて並列出力ワードの長さを得る直列・並列変換器を提供することである。

本発明のさらに他の目的は、整数の直列ワー

00

ド同期パルスから抽出された並列クロックパルスを有する直列・並列変換器を提供することである。

本発明のさらに他の目的は、直列入力データが直接データ路を通して出力蓄積手段に同期して供給される直列・並列変換器を提供することである。

本発明の他の目的は、データ路とは別な信号路を通して直列ワード同期パルスを受信して処理する直列・並列変換器を提供することである。

本発明のさらに他の目的は、上述の特徴を有するとともに、データ検索および障害検索が容易な直列・並列変換器を提供することである。

本明細書では、信号、電圧、パルス等の用語は好ましい実施例で処理されるデジタル信号について相互に置換可能なものとして使用する。

ここで第1図の簡単なブロック図および第3図の関係するタイミング図を参照して本発明を説明する。

03

い。リード12, 10および14で受信された各信号A, B, Cおよびのちに説明する他の関連する信号のタイミング図の例を第3図に示す。

第1図を参照すると、リード14で受信した直列同期信号Cはインバータ75を介して与えられ反転された信号C'がパルス整形遅延回路66を通して並列クロック信号発生回路16に与えられる。好ましい実施例では、回路16は分周器17、ゲート13、およびプログラムスイッチ21で実現されるプログラム可能な語長選択器からなる。回路16はリード14に直列同期パルスCを2つ受信することに出力18に出力パルスKを発生する。したがつて、直列クロックパルスAが24個ごとに、すなわち直列データビットBを24個リード10に受信することに、出力18に出力パルスKが発生する。ゲート18およびリード20を通つた出力パルスKは分周器17をリセットする。出力パルスKはさらにパルス整形遅延回路67によって処理され、そのパルス幅は1つの直列クロックサイク

03

ある長さの直列ワードを形成する連続的な直列データビットBの流れがリード10で受信される。同じ周波数で直列データビットBと同期した直列クロック信号Aがリード12に受信される。直列ワード同期信号C（以下直列ワード同期と称する）がリード10で受信される各直列ワードの第1ビットと同期してリード14に受信され、直列入力ワードの長さを示す。信号A, BおよびCはブロック175, 176および177で示される外部信号源から得られ、これについてはのちに詳細に説明する。この好ましい実施例では、各直列入力ワードの長さは12ビットに選択され、第1図の直列・並列変換器によつて12ビット直列入力ワード2つが組み合わされ、1つの24ビット並列出力ワードになる。しかしのちの説明からわかるように、直列または並列ワードのそれぞれの長さが異なるよう選択してもよく、本発明の直列・並列変換器によつて1つ以上の直列入力ワードを組み合わせて所望の長さの並列出力ワードにしてもよ

04

るに相当して適当な回路動作を保証する。リード9で得られる出力の整形されたパルスQを並列クロック信号として用いる。これについてはのちに説明する。

リード12で受信した直列クロック信号Aはインバータ77で反転され、反転された信号A'は同期並列ビットカウンタ22のクロック入力19に与えられる。このカウンタは1から24の直列クロックパルスを計数し、並列リード25には各クロックパルスごとに異なつた2進数が outputされる。カウンタ22は前述の並列クロック信号Qでリセットされる。以上の説明からわかるように、各要素17, 22, 66および67は互いに同期して動作する。

並列出力リード25に発生するカウンタ22の計数値はデコーダ26に加えられる。第1図ではデコーダ26は、101から124で示される24本の別々な出力を有し、これは並列出力ワードに含まれるビット数に対応する。デコーダ26は、カウンタ22で得られた順次計数値に

04

対応する順序でこれと同期してその出力 101 から 124 に各出力パルスを発生する。たとえばカウンタ 22 から計数値「1」を受信すると、デコーダ 26 はその第 1 の出力 101 にパルスを発生し、計数値「2」ではその第 2 の出力 102 に出力パルスを発生し、このようにして最後の計数値「24」ではその出力 124 に出力パルスを発生する。その後カウンタ 22 は前述のリード 9 の並列クロックパルス Q によつてリセットされ、上に述べた動作サイクルを繰り返す。

デコーダ 26 の各別々な出力 101～124 は各出力蓄積手段の別々なデータ入力付勢端子 201～224 に接続され、この蓄積手段は好ましい実施例ではそれぞれ第 1 の系列の出力ラツチ 38～64、および第 2 の系列の出力ラツチ 138～161 によつて実現される。リード 10 で受信した直列入力データ B はインバータ 87 によつて反転され、さらに回路 99 によつて反転されて遅延される。出力の直列データ B' は第 1 の系列の出力ラツチ 38～61 の相互接続された入力 56

09

前述のリード 9 の並列クロックパルス Q はインバータ 94 によつて反転され、反転されたパルス Q' は各第 2 の出力ラツチ 138～161 の相互接続されたデータ出力付勢端子 96 に与えられる。この信号 Q' を受信すると、第 2 の出力ラツチ 138～161 に蓄積された各 24 個のデータビットは同時にクロック送出され、出力 501～524 には 24 ビット並列出力ワードが得られる。

本発明の直列・並列変換器の同期動作を確実に行うために、好ましい実施例では同期制御パルス D が前述の外部信号源 175～177 からリード 11 に受信される。これについては以下に詳細に説明する。制御パルス D は選択した数の直列ワード同期パルス C、たとえば 2048 個の同期パルスの第 1 のパルスと一致する。制御パルス D はパルス整形回路 65 に与えられて、1 つのクロックサイクルのパルス幅に対応するパルス幅が得られる。回路 65 の出力である反転された制御パルス D' はゲート 13 およびリード 20 を通つて前述のプログラム可能な分周器 17 を

09

同時に供給され、これらのラツチはデコーダ 26 からの各出力信号に対応する。したがつて各直列データビットは、1 つの特定の計数値がカウンタ 22 から得られるとデコーダ 26 から与えられた特定の出力パルスによつて順次 1 つの特定の第 1 の出力ラツチ 38～61 にクロック転送される。したがつて、各ビット計数値に応じて特定の出力ラツチが常に付勢され、一連の出力ラツチは直列データビットを入力リード 10 で受信した順序に蓄積する。たとえば、ラツチ 38 はデータビット 1 を受信して蓄積し、ラツチ 39 はデータビット 2 を受信して蓄積し、以下同様にしてラツチ 61 はデータビット 24 を受信して蓄積する。第 1 の出力ラツチ 38～61 にそれぞれ蓄積されたデータは第 2 の系列の出力ラツチ 138～161 の各入力 401～424 に与えられる。24 個のデータビットがすべて第 2 の出力ラツチ 138～161 の各入力に蓄積されると、このデータビットはつきのよう並列出力ワードの形でこれから順次転送される。

09

リセットする。これによつて新しい動作サイクルが始まり、何らかの原因で一連の 2048 個の同期パルスに同期が失われないようにタイミングを修正する。好ましい実施例では、制御パルス D は遅延回路 15 においてほほ 24 個の直列クロックサイクルだけ遅延され、その後リード 9 の並列クロックパルスに応じてリード 21 を通つてパルス D' として転送され、デジタルコンピュータ（図示せず）によつて使用される。

第 1 図に示すブロック 175, 176 および 177 について、これらはリード 12, 10, 14 および 11 に受信される前述の各同期信号 A, B, C および D を発生する信号源を表わし、第 3 図に示されている。正弦波発振器 175 を用いてリード 178 に正弦波基準信号を発生し、この周波数によつて直列クロック信号 A の周波数が決まり、これによつて直列データ B の速度が決まる。好ましい実施例では、発振器 175 は 400 KHz から 1.6 MHz までの選択可能な周波数範囲を有し、これは好ましい実施例の直列・並列変換器の動

09

特開昭57-157348(6)

作範囲に対応する。この好ましい実施例では、正弦波発振器 175 は、シストロン ドナー カンパニー (Systron Donner Co.) の製造による信号発生器、タイプ 1702 によつて実現される。発振器 175 から選択された周波数の正弦波基準信号はリード 178 を通して信号合成器 177 に加えられ、この詳細なブロック図は第 2 D 図に一例が示されている。信号合成器 177 はリード 178 のアナログ信号と同じ周波数でこれに同期したデジタルクロック信号を発生し、このクロック信号をリード 179 を通してランダムデータ発生器 176 に加える。これはたとえばトートロン カンパニー (Tautron Co.) の製造による擬似ランダムデータ発生器、タイプ MN-1 によつて実現される。つぎにデータ発生器 176 は以下のようないくつかの同期デジタル出力信号を発生する。リード 180 には発生器 176 は一連のランダム直列データビットを発生し、リード 181 には直列データビットと同じ周波数のクロック信号を発生し、リード 182 には同期信号を発生し、これ

09

分周比	第 1 表			
	S 6	S 5	S 4	S 3
2	高	高	高	高
4	高	高	高	低
6	高	高	低	高
8	高	高	低	低
10	高	低	高	高
12	高	低	高	低
14	高	低	低	高
16	高	低	低	低
32	低	低	低	低

これからわかるように、第 1 表から様々な分周比を選択することによってカウンタ 183 の 1 つの出力信号に対応するクロックバルスの数を選択して直列入力ワードの長さを決めることができる。第 2 D 図の信号合成回路 177 は遅延線 535～538 を用いたリード 178, 180, 181 および 182 で受信した各信号を遅延し、この遅延した信号を再同期させて第 1 図および第 3 図に示すような前述の各同期した信号 A, B, C および

10

はこの実施例ではリード 180 に与えられる直列データビット 32 個ごとに 1 つのバルスを発生する周波数を有する。リード 180, 181 および 182 の各出力信号は第 2 D 図の詳細なブロック図に示す信号合成回路 177 で受信され、処理される。これについて説明する。

第 2 D 図においてリード 182 の同期信号は適当なゲート 530～534 を通してプリセット可能なカウンタ 183 に加えられ、これはこの実施例では 12 まで計数するようにセットされる。しかしカウンタ 183 はスイッチ S3～S6 によつてプリセットされ、たとえばつぎの第 1 表に示すような様々な計数値を発生するようにしてもよい。

09

D を発生する。信号合成器 177 からリード 12, 10, 14 および 11 に得られた出力信号は直列入力ワードのビット 1 を表わすバルスと一致するように整列される。これは第 3 図のタイミング図にもつともよく示される。第 2 D 図の遅延線 535～538、ならびに第 2 A 図の遅延線 175 および第 2 B 図の遅延線 88 は、周知の技術を用いて、それぞれアンペックス コーポレーション (Ampex Corporation) の部品番号 1263197-XX で指定される一对の絶縁捻り線、タイプ KYNAR 30 AWG として構成される。

つぎに好ましい実施例のさらに詳細な説明を第 2 A 図～第 2 D 図のブロック図を参照して説明する。これらは第 1 図の前述のブロック図に対応する。比較を容易にするためにこれらの図では同様の部分および要素は同じ参照符号で示されている。説明を完全にするために、第 2 A 図～第 2 D 図で示される集積回路および他の回路部品は製造業者で一般に使用されている各部品番号によつて示されている。

10

第2A図および第3図のタイミング図を参照すると、リード14で受信された直列ワード同期パルスCはインバータ75を通して供給され、反転されたパルスC'がラッピング回路76のデータ入力に与えられる。直列クロック信号Aはリード12で受信され、インバータ77で反転される。好ましい実施例では、前述のように直列クロック周波数を400kHzと1.6MHzの間に選択する。反転された直列クロック信号A'はラッピング回路76の各クロック入力に加えられ、これは一対のD型フリップフロップによって実現される。これらはそれぞれ遅延出力信号GおよびHを発生し、両方とも排他的ORゲート78に供給される。ゲート78から出力される出力パルスIは入力パルスC'に対してクロック周期だけ遅延され、そのパルス幅は1クロックサイクルICに対応するように設定される。信号Iは並列クロック信号発生回路16のプログラム可能な分周器17のクロック入力15に加えられる。したがつて信号Iの周波数は信号C'の2倍である。

49

これからわかるように、分周器17でさらに高い分周比を得たい場合には、周知のように回路21に別なスイッチ(図示せず)を設けることによつて行うことができる。プログラム分周器17はNORゲート13およびリード20を通して信号Kによつてリセットされる。また、前に説明したように分周器17は回路65からの反転制御パルスD'によつてもリセットすることができます。

分周器17の出力信号Kは排他的ORゲート79を通してラッピング80にも与えられ、これは一対の相互接続されたD型フリップフロップによつて構成される。フリップフロップ80は各クロック入力に前述の信号IおよびA'をそれぞれ受信する。フリップフロップ80の出力信号L,Mは両方とも排他的ORゲート81に与えられ、その出力信号NはNANDゲート82に供給される。リード9のNANDゲート82の出力信号Qは第1図について前に説明した並列クロック信号を表わす。したがつて、各ゲート79,

49

ラッピング回路76およびゲート78は互いにパルス整形器および2倍の周波数倍器として機能し、これは第1図の回路66に対応する。プログラム可能な分周器17の各入力172~175はプログラム可能なスイッチ21によつて4で分周するようにプリセットされる。分周器17の入力15におけるクロック信号Iの周波数が信号Cの周波数の2倍であるので、プログラム可能な分周器17の出力18には信号C'を2で分周した周波数の出力信号Kが得られる。分周器17からは異なつた分周比を得ることができます。たとえば、つぎの第2表に示すようにスイッチS1およびS2を設定することによつて1,2,3および4の分周を行うことができる。

第2表

分周比	S1	S2
1	高	高
2	低	高
3	高	低
4	低	低
	49	

S1,S2およびラッピング80はともに前述の第1図の回路67に対応し、これは直列クロックパルスのパルス幅に対応するパルス幅を有する並列クロックパルスQを発生し、適当な回路動作を行つ。

これらの説明および第3図のタイミング図からわかるように、好ましい実施例の回路によつて1つの並列クロックパルスQが一連の24個の直列クロックパルスAごとに同期して発生する。しかし、1つの並列クロックサイクルに対応する直列クロックパルスの数を変更したい場合には、分周器17をスイッチ21によつてプリセットし、所望の整数のワード同期パルスに対応する異なる分周比をもたせるようになることができる。

第2A図に示す制御回路83を用いて第2A図~第2D図の直列・並列変換器の動作に必要な様々な制御信号を発生する。制御回路83のNANDゲート173は、一方の入力に第2A図の排他的ORゲート81から前述の信号Nを受信

49

し、その他方の入力には遅延した直列クロック A を受信する。D型フリップフロップ 178 を用いてリード 184, 185 に各相補出力パルスを発生する。このパルスによつて各デコーダ 26a と 26b との間の必要なスイッチングを行い、以下の説明からわかるようない連の動作を行つ。第 2 A 図に示すインバータ 77 の反転直列クロック信号 A' はさらにインバータ 174 を通過し、遅延線 175 によつて遅延されたのち、リード 133 を通して第 2 B 図に示す並列ビットカウンタ 22 のクロック入力 19 に与えられる。第 2 B 図のカウンタ 22 は 1 から 16 までの直列クロックパルスを計数する。並列出力リード 25 に得られたカウンタ 22 の各計数値は異なつた 4 ビットの 2 進数 P1, P2, P3, P4 で表わされる。カウンタ 22 の各計数値 1~16 はリード 25 を通して 2 つの相互に接続された 4~16 リードのデコーダ 26a, 26b の並列に接続された各入力に供給され、これらはともに第 1 図のデコーダ 26 に対応する。デコーダ 26a は第 2 B 図に示され、

勿

ない残りの 8 本の出力を利用して最大 32 ビットの並列語長に適用することができる。好ましい実施例では、デコーダ 26a, 26b が 24 個の出力パルスを順次発生したのち、カウンタ 22 は第 2 A 図のリード 9 で得られた前述の並列クロック信号 Q によつてリセットされる。32 ビット以上の長い語長を有する並列出力ワードを発生させたい場合には、別なデコーダをこの好ましい実施例における 26a, 26b で示すように相互に接続して同様に使用してもよい。

第 2 B 図および第 2 C 図からわかるように、デコーダ 26a, 26b の各出力 101~124 は別個のデータ入力付勢端子 201~224 に接続され、これらは各 J-K フリップフロップ 38~61 のそれぞれのクロック入力で表わされる。これらのフリップフロップは第 1 図を参照して前に説明した第 1 の系列の出力ラッチを構成する。各 J-K フリップフロップはそれぞれ別々のデータ出力端子 301~324 を有する。

第 2 B 図においてリード 10 で受信した直列

勿

デコーダ 26b は第 2 C 図に示されている。デコーダ 26a, 26b は制御回路 83 から前述のリード 185, 184 の各制御信号を受信し、両者の間の必要なスイッチングを行う。デコーダ 26a, 26b のうちの一方は、計数値を受信するごとにそれぞれの一方の出力 101~124 に出力パルスを発生する。明らかに、相互接続されたデコーダ 26a, 26b は並列出力ワードにおける選択された数のビットに対応する数の別々な出力を有し、これらは所定の順序で各出力信号を発生する。第 2 B 図および第 2 C 図からわかるように、デコーダ 26a の 16 本の出力すべてに出力信号が与えられたのち、カウンタ 22 が 1 から 16 まで計数するとデコーダ 26b が動作する。その後カウンタ 22 は再び 1 から 8 まで計数し、この計数値に応じてデコーダ 26b の出力 117~124 から各出力パルスが発生する。デコーダ 26a の 16 本の出力のはかにデコーダ 26b の 8 本の出力だけを用いて全体として 24 本の出力を得る。したがつてデコーダ 26b の使用してい

勿

データ B はインバータ 87 によつて反転される。この反転されたデータはフリップフロップ 99 によつて再同期され、これは第 2 A 図のインバータ 77 からリード 132 で受信される直列クロック信号 A' を利用する。この再同期した信号は遅延線 88 によつて遅延される。遅延され反転されたデータはさらに並列インバータ 125~130 のうちの 1 つによつてそれぞれ反転され、第 1 のフリップフロップ 38~61 の相互接続された J-K 入力 36 にデータ B' として同時に与えられる。第 2 A 図~第 2 C 図の回路図とともに第 3 図のタイミング図からわかるように、データ B' は、クロックパルス A の立下りがデータビット B' のほぼ中央にくるのに必要な時間だけ遅延されている。これによつて、ビット計数値を表わすカウンタ 22 からのリード 25 における各出力パルス P1~P4 の立下りはデータパルス B' の中央にも確実に一致する。その結果、デコーダ 26a の出力 101 における最初の出力パルスはその立下りが直列データパルス B' の中央と一致

勿

し、これは直列入力ワードの第1ビットに対応し、したがつてこのデータセルの中央と同期することができる。同様に、デコーダ26aの102における第2の出力パルスはその立下りが直列入力ワードの第2のデータパルスの中央と一致する。この入力ワードの残りの直列入力ビットについてビット24までこのシーケンスを繰り返し、この入力パルスの中央は第2C図に示すデコーダ26bからの出力124で得られた出力パルスの立下りと一致する。デコーダ26a, 26bの出力101～124における各出力パルスは第1の系列の出力ラッチの前述の各別々なデータ入力付勢端子201～224に現われ、これはJ-Kフリップフロップ38～61の各クロック入力によつて行われる。このように一連のデータビットB'が後者のフリップフロップの相互接続されたデータ入力36に現われると、1つの特定のデータビットが順次各フリップフロップ38～61にクロック転送される。このようにクロック転送されたデータは順次フリップフロップ

61

給され、各入力データビットはそれぞれデコーダ26a, 26bからリード101～124に所定の出力パルスが与えられると所定の出力ラッチ38～61に順次クロック入力される。したがつて入力データビットのそれぞれの位置は動作中のいすれの時点でもわかつており、たとえば障害探索の場合に特定のデータビットを容易にトレースして復元することができる。

第2C図ではパルス整形回路65はそれぞれ1対のD型フリップフロップ187およびゲート188～191で構成されるように示されている。回路65は第1図についてすでに説明したように信号合成器177が発生するリード11の制御パルスDを受信する。回路65は後者のパルスの幅を1つの直列クロックサイクルに対応するよう規定する。第2C図における回路65の出力95におけるゲート191の出力パルスD'は第2A図のゲート13に与えられる。したがつて、第1図について前に説明したように、各2048ワード同期パルスごとに分周器17はパ

63

38～61の各出力301～324に現われ、同時に第2の系列の出力ラッチの各入力401～424に現われ、これらのラッチはD型フリップフロップ138～161で構成され、その入力はそれぞれ出力301～324に接続されている。データビット1～24がすべて蓄積され、第2の系列のフリップフロップ138～161の入力401～424に現われると、第2A図のリード9における前述の別々なクロックパルスQは各第2の系列のフリップフロップ138～161のそれぞれ相互接続されたデータ出力付勢端子96に第2C図のインバータ94を通してパルスQ'として与えられる。したがつて、蓄積されたデータビット1～24がすべて同時に、第3図のタイミング図にも示されるように、第2の系列のフリップフロップの各出力501～524に現われ、これによつて並列出力ワードが発生する。

これまでの説明からわかるように、第2A図～第2D図の直列・並列変換器では直列入力データB'が直接データ路を通して出力ラッチに供

64

ルスD'によつてゲート13を通してリセットされる。リード11で受信したパルスDは第2C図に示す遅延回路15にも与えられ、これは単安定マルチバイブレータ194のあとに1対のD型フリップフロップ192を有する。パルスDはD型フリップフロップ192で24の直列クロックサイクルだけ遅延され、前述の並列クロックパルスQがリード9を通してフリップフロップ192のクロック入力に加えられるとフリップフロップ192からパルスDが出力される。単安定マルチバイブレータ194はこの遅延されたパルスを整形して所望のパルス幅を得る。好ましい実施例ではマルチバイブレータ194の出力である制御パルスD'は、第2の系列の出力ラッチ138～161の出力501～524からの前述の並列出力ワードと同期してリード195を通してコンピュータ(図示せず)に与えられ、のちに使用される。

これまでの説明からわかるように、本発明の直列・並列変換器では、特定の出力ラッチを並

65

特開昭57-157348(10)

列出カワードの各ビットごとに割り当て、一連のデータビットを出力ラッピングに順次蓄積する。直列入力カワードまたは並列出力カワードの長さはそれぞれ比較的簡単な方法で変えることができるが、本装置を通る並列出力カワードの第1ビットおよびそれ以後の各ビットのデータ路は変化しない。動作を中断すると、各ビット位置およびデータ路は本発明の装置内部でそのまま保持される。

本発明の好ましい実施例を図面を参照して説明したが、特許請求の範囲に含まれる様々な置換および修正を行うことができる。

本発明を要約すると、直列・並列変換器は、直列入力カワードを形成する直列データビットおよび直列入力カワードの長さを示す直列ワード同期パルスを受信する。整数の直列ワード同期パルスと同期して並列クロック信号が発生する。入力データは順次直接データ路を通して出力蓄積手段に供給される。同期カウンタが受信した一連の直列データビットを計数し、各計数値に

(6)

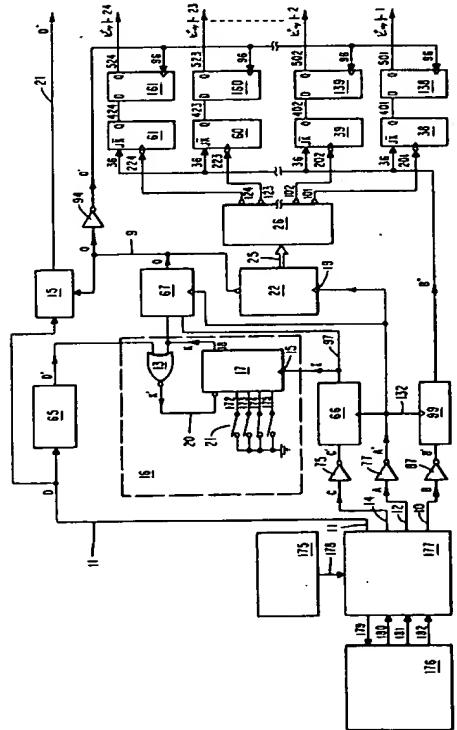


FIG. 1

応じてデコーダが順次それぞれ1つの出力蓄積手段を付与し、その中に1つのデータビットを蓄積する。蓄積されたデータビットは並列クロック信号に応じて並列ワードの形で出力蓄積手段から同時にに出力される。並列出力語の長さを変える手段が設けられている。

#### 4. 図面の簡単な説明

第1図は本発明の好ましい実施例の簡単なブロック図。

第2A図～第2D図は本発明の好ましい実施例の詳細なプロック図の各部分を示す図。

第3図は本発明の好ましい実施例の動作を示す様々な信号を表わしたタイミング図である。

1 6 … 並列クロック信号発生回路

1 7 … 分周器

2 1 … プログラムスイッチ

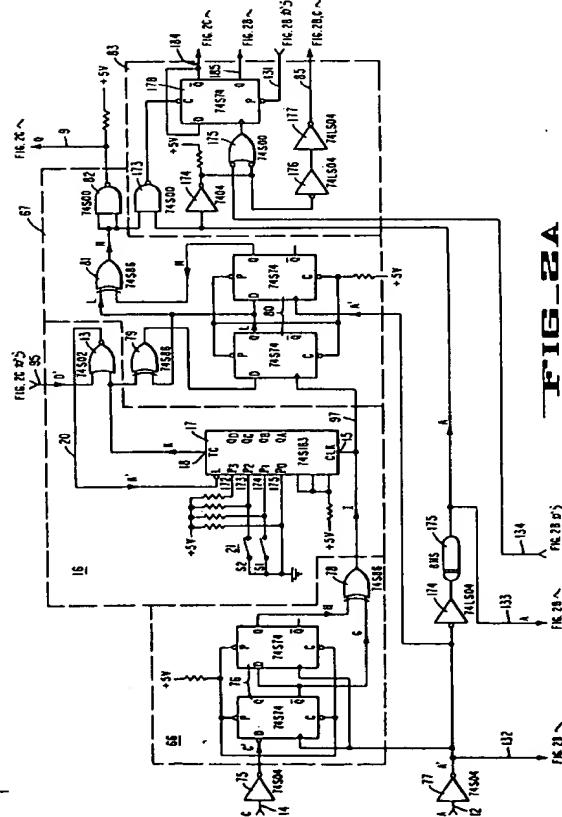
2 2 … カウンタ 2 6 … デコーダ

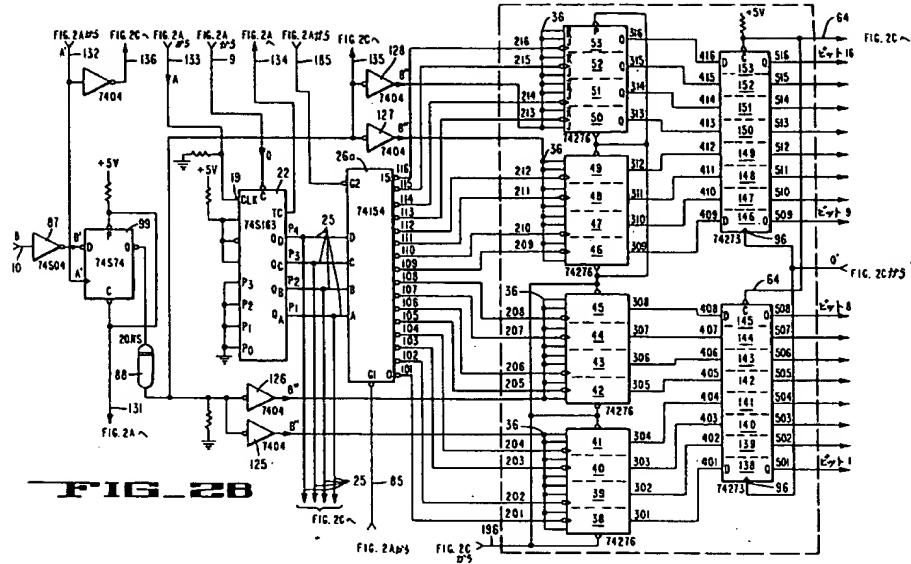
3 8～61, 138～161… 出力ラッピング

6 5 … パルス整形回路

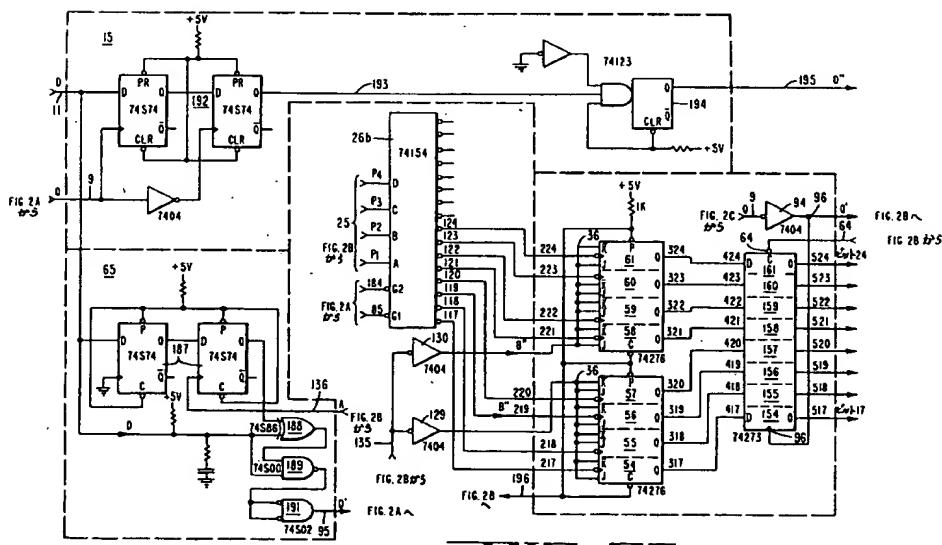
6 7 … パルス整形遅延回路

(6)

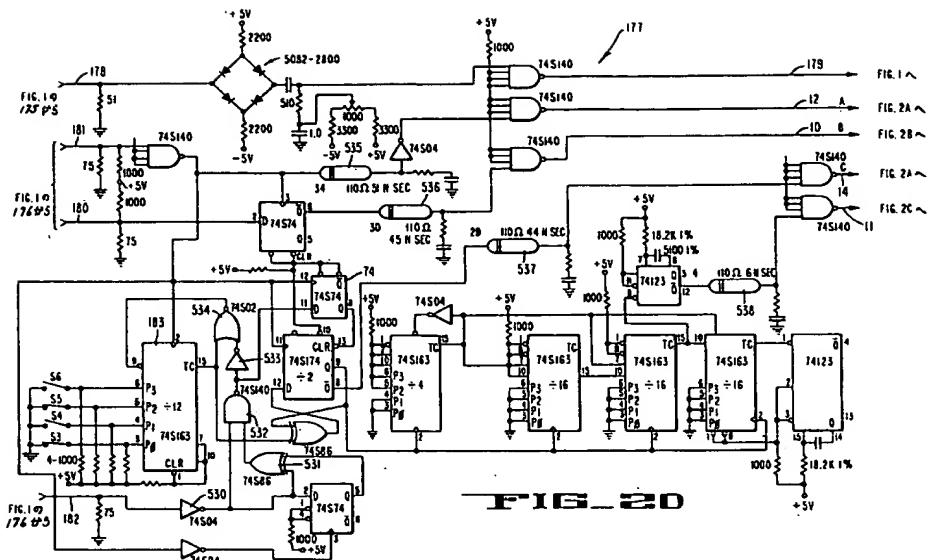




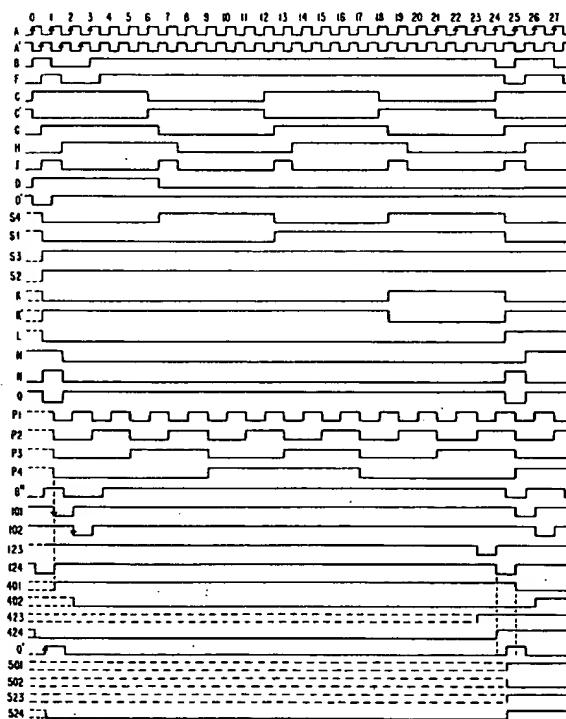
—FIG\_28



**FIG\_2C**



**FIG. 20**



—FIG. 3